

シリコン大規模集積回路におけるキャパシタ誘電体膜の研究

著者	今井 馨太郎
号	3371
発行年	2004
URL	http://hdl.handle.net/10097/8643

氏名	いまい けい た・ろう		
授与学位	今井 馨 太 郎		
学位授与年月日	博士 (工学)		
学位授与の根拠法規	平成 17 年 3 月 25 日		
研究科, 専攻の名称	学位規則第 4 条第 1 項		
学位論文題目	東北大学大学院工学研究科 (博士課程) 電子工学専攻		
指導教員	シリコン大規模集積回路におけるキャパシタ誘電体膜の研究		
論文審査委員	主査	東北大学教授 高橋 研	東北大学教授 伊藤 隆司
		東北大学教授 須川 成利	客員教授 大見 忠弘
			(未来科学産業研究センター)
		客員助教授 寺本 章伸	
		(未来科学産業研究センター)	

論文内容要旨

1. はじめに

代表的なシリコンメモリデバイスである DRAM においては、一定容量のセルキャパシタへの電荷蓄積によりメモリを確保しているが、高集積化、微細化に対応して単位面積あたりのキャパシタ容量の確保とリーク電流低減が基本的な課題である。まず、4M bit の世代以降ではトレンチキャパシタ、スタックトキャパシタと言った立体キャパシタセルの導入がなされた。その後、より高誘電率材料のキャパシタ誘電体膜への適用のための開発が進められ、64M bit 世代からは Ta_2O_5 膜キャパシタ実用化もなされた。さらに、より一層の高集積・大規模化に伴う高容量キャパシタ要求の中で、より高誘電率材料として $SrTiO_3$ や $(Ba, Sr)TiO_3$ 等の開発が進められてきている。

本論文では、上述のような DRAM の進展の流れにおいて、大規模 DRAM を達成するために中心的な役割を担っている微細かつ高容量なキャパシタを実現するためのキャパシタ誘電体膜プロセスに関連した研究結果をまとめた。

2. シリコントレンチコーナ酸化技術

4Mbit 世代において最初に導入されたトレンチキャパシタでは、コーナ部で電界集中によって引き起こされるリーク電流の増大が深刻な問題となった。

このような問題に対して、ダメージを与えず、再現性良く効果的にコーナ部を丸めるためには、一旦酸化膜を形成しこれをエッチング除去する所謂犠牲酸化(「丸め酸化」)の方法が効果的であることを見出した。トレンチコーナ部を酸化すると、酸化温度が十分に高い 1100°C であればコーナ部でもコンフォーマルな酸化形状を示すものの、 950°C では酸化膜の顕著な薄膜化が生じる。これと電界集中とが相俟ってコーナ部でのリーク電流の増大が生じてしまう。このことから、本研究においては、コーナ酸化のメカニズム考察とともに実用化のための基礎検討を進めた。

丸め酸化における酸化温度と得られたキャパシタリーク電流の関係を検討した結果、丸め酸化の温度が高いほどリーク電流は低減していくことが分った。特に、温度が 950°C よりも高温になるとリーク電流の低減が大きく進むが、酸化膜応力の粘性緩和(粘性流動)も 960°C 付近から生じ始めることを考慮

すると、コーナでの酸化膜の薄膜化は応力緩和によって抑制され、結果としてコーナの丸めも進むことが確認できた。次に、丸め酸化を 950℃で行った際の平均酸化速度とその場合のキャパシタのリーク電流との関係を調べた。この結果、酸化速度が小さくなるほどキャパシタのリーク電流が低減していることが確認できた。すなわち、酸化速度が小さいほど酸化膜中の応力の粘性緩和が進むことが確認できた。さらに、石英中に OH 基が含まれることによって粘性係数が低下することより、水蒸気酸化によって酸化膜中に OH 基が取り込まれることによって応力の緩和が進むことが考えられた。実験結果として、1 - 5 %程度の H₂O を含む O₂ 中での酸化において最も丸めが進みリーク電流の低減が図られることを見出した。

以上の結果より、コーナの酸化にとって応力が極めて重要な作用を及ぼしていることが明らかとなったが、さらに応力による酸化速度抑制のメカニズムについて、¹⁸O₂ を用いた酸化と SIMS の組み合わせによってより詳細な検討を進めた。800℃、乾燥酸素酸化によって 100nm の酸化膜を形成後、1100℃、Ar アニールの有/無しの場合に対し、¹⁸O₂ 酸化(800℃, 50 分)を行った。それぞれの SIMS のプロファイルを調べた結果、アニール後の酸化膜中の ¹⁸O 濃度は、アニールなしの場合に比べて明らかに高いことが判明した。この結果をもとに検討を進めた結果、応力による酸化抑制の原因としては、Si-SiO₂ 界面での酸化反応が抑制されるメカニズムは除外されることが判明した。すなわち、コーナ(凸コーナ)の酸化を促進し丸めを増すためには、応力の緩和以外の要因として、酸化過程の律速条件をできるだけ早い段階から拡散律速へ移行する方が有利であるとの結論が導かれた。

微量な NF₃ を乾燥酸素中に添加した雰囲気中で酸化を行うと、大幅な酸化増速がもたらされることが知られている。これは、NF₃ 添加酸化の場合、界面の反応が増速した結果、拡散律速への移行が早い段階でなされることを意味している。したがって、前述の考察からコーナの丸めに対し有利であるものと予想された。実際、50 ppm NF₃ を添加した場合と乾燥酸素中のみの場合で 800℃にて酸化した場合、800℃という低温にもかかわらず NF₃ 添加酸化の場合には、十分なコーナの丸めがなされていることが確認できた。この 800℃、50 ppm NF₃ / O₂ 雰囲気での酸化を丸め酸化に適用した結果、膜厚 45 nm で十分な丸め効果が得られリーク電流低減が図られることがわかり、コーナの丸めメカニズムと実際の対策も提示することができた。

3. CVD Ta₂O₅ 膜キャパシタ技術

ここでは、高集積 DRAM キャパシタに適用することを目的として、CVD 法による高品質 Ta₂O₅ 成膜技術の確立によるキャパシタ基礎的技術に関する技術開発を行った。成膜は枚様式 CVD 装置により行い、プリカーサとしては、Ta(OC₂H₅)₅ を用いた。成膜温度は 400℃である。

まず、Si あるいは n⁺ poly Si 上に形成する MIS キャパシタについて述べる。Ta₂O₅ 膜形成の前に一旦 Si 表面を 1000℃、NH₃ ガス中での 1 分の熱処理にて、薄い SiNO_x 膜を形成した。Ta₂O₅ 膜を堆積後、400℃～700℃において減圧酸素中 10 分間アニールを行い、上部電極に TiN 膜を形成し MIS キャパシタを作製した。このキャパシタ容量の測定結果から、Ta₂O₅ 膜誘電率のアニール温度に対する変化調べると、650℃付近より低温のアニールでは誘電率は 21 程度であるが、660℃以上の高温では誘電率の値が増加し 700℃では 35 程度に達している。一方、Ta₂O₅ 膜の XRD スペクトルからは、650℃付近で結晶化が生じ始めていることが分った。すなわち、結晶化とともに誘電率が増加していることが確認された。

さらに、基板を加熱しながら酸素プラズマ中での活性な酸素に晒すことにより Ta_2O_5 膜の膜質の改善を検討した。酸素プラズマアニールは、 400°C 、減圧酸素中で RF 放電下にて行った。結果、酸素プラズマアニールを行うことによってリーク電流の大幅低減を達成した。酸素プラズマアニール後の SIMS 分析で膜中の C, H 不純物プロファイル調べた結果、H および C の低減効果が大きいことが明らかとなった。しかし、一旦 $0.5 \text{ Torr } \text{O}_2$ 中 10 分間の 700°C の熱アニールを行った後に、 400°C での酸素プラズマアニール 5 分を追加して行っても、もはやリーク電流の低減はなされないことが判明した。すなわち、一旦結晶化した Ta_2O_5 膜では酸素プラズマアニールの効果はもはや得られないことになる。

この原因について、 Ta_2O_5 膜中に拡散した Si 原子に着目してその挙動と、リーク電流の増加との因果関係について検証した。この結果、下地から Si 原子が結晶化した Ta_2O_5 膜中の粒界を通して膜中に拡散していることが確認された。この Si 原子が Ta_2O_5 膜中にリークパスを形成すると考えられる。したがって、下地に Si (n^+ poly Si) を用いている限り、 Ta_2O_5 膜の結晶化による高誘電率化と低リーク電流化は両立しないことになってしまう。

このため、本研究においては、Ru を Ta_2O_5 膜キャパシタの下地電極として適用することを検討した。Ru を選んだ理由としては、酸化物 (RuO_2) 自体が導電体であること、RIE によるエッチング加工が容易であること、仕事関数が比較的大きいこと、等が上げられる。結果として、Ru を下地電極に用いた MIM キャパシタにおいては、酸素プラズマアニールによってリーク電流は著しく低減し、しかも、 700°C の RTA 処理を行い結晶化後においてもリーク電流の増加はまったく見られず、むしろ上部電極 (-) の場合にはリーク電流の低減がなされていることが判明した。すなわち、 Ta_2O_5 膜キャパシタの下地電極に Ru を用いることによって、 SiO_2 換算膜厚値として 0.68 nm ときわめて薄く、かつリーク電流値も $\pm 2 \text{ V}$ の範囲で 10^{-8} A/cm^2 以下の良好なキャパシタ特性を実現することができた。

4. $(\text{Ba}, \text{Sr})\text{TiO}_3$ 膜キャパシタ基礎技術

BaTiO_3 と SrTiO_3 の混合相からなるペロブスカイト型結晶構造を有した複合金属酸化物で、バルクでは 1000 以上の比誘電率を持つことが報告されているが、薄膜化とともに誘電率の著しい低下が生じる問題が指摘されている。特に、膜厚領域が 100 nm よりも薄くなると誘電率の落ち込みが激しくなるため、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ 膜を DRAM キャパシタに適用する際には、微細領域にキャパシタを形成するためにその物理膜厚も十分薄い必要があるため極めて深刻な問題である。

$(\text{Ba}, \text{Sr})\text{TiO}_3$ 膜の成膜は、 BaTiO_3 と SrTiO_3 とによる多元 RF マグネトロンスパッタ法によって行い、成膜温度は 600°C で、Ba / Sr 組成比はほぼ 1 にとった。下部電極 Pt 膜は DC スパッタ法により形成し、上部電極は Ni 膜とした。まず、膜厚 70 nm と 29 nm の $(\text{Ba}, \text{Sr})\text{TiO}_3$ 膜の誘電率の値を見積ると、膜厚 70 nm の場合には約 500 程度であるのに対して、膜厚 29 nm の場合には約 310 程度に減少している。このメカニズムとして、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ 膜中の内部電界により界面付近でドナーサイトの存在により界面付近でバンドの曲がりが生じるためと考えられる。

$(\text{Ba}, \text{Sr})\text{TiO}_3$ 膜の薄膜化による誘電率の低下が上述のメカニズムで生じるとすれば、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ 膜中でアクセプターとして Fe をドーピングする方法が有効と考えられる。Fe のドーピングは、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ 膜形成後、濃度 1000 ppm の Fe 標準液 (硝酸鉄水溶液) に浸した後、乾燥し、 700°C 、 O_2 中で 2 時間の拡散を行った。結果として、Fe ドーピングによってキャパシタ容量が増加することが確認された。しかも、より

薄い膜厚 29 nm の場合には増加の割合がはるかに大きくなっている。この結果、薄膜化に伴う誘電率の低下はかなりの程度抑制された。

ここでは、実際に Fe が Ti サイトに置換しているかどうかを、TEM を用いた電子定在波法を用いて検証した。本方法は、基本的には単結晶に対して適用しうるものであるため、(Ba, Sr)TiO₃ 膜の代わりに (100) SrTiO₃ 単結晶基板を用いた。試料として用いた SrTiO₃ 単結晶基板に対しては、十分な Fe を拡散させた。結果として、Fe の多くは SrTiO₃ 内で Ti サイトに置換していることが判明した。これは、SrTiO₃ 単結晶の結果であるが、(Ba, Sr)TiO₃ 膜の場合も同様の結晶構造を有することから考えて、(Ba, Sr)TiO₃ 膜においても、Fe は Ti サイトに置換することによってアクセプターとして作用することによって、ドナー電子を補償する効果があるものと推定される。以上のことから、(Ba, Sr)TiO₃ 膜の薄膜化による誘電率の低減は、材料の本質に関わる問題ではなく、その解決方法の一つとして、Fe ドープの有効性が示された。

5. まとめ

シリコン LSI、特に DRAM キャパシタにおける誘電体薄膜技術に関して、研究結果について論じた。まず、キャパシタ立体化として導入されたトレンチキャパシタに関し、信頼性の高いトレンチキャパシタの実現の可能性を示した。ついで、CVD Ta₂O₅ 膜のキャパシタへの適用を目指した研究の結果を示した。CVD Ta₂O₅ 膜に対し、酸素プラズマアニールの有効性を明かにし、さらに Ru 下地電極の導入により、高品質な Ta₂O₅ 膜 MIM キャパシタの実現性を示した。最後に、(Ba, Sr)TiO₃ のキャパシタへの適用にあたって、大きな問題である薄膜化に伴って生じる誘電率の低下に対し、Fe ドープが極めて有効であることを示し、薄膜化に伴う誘電率の低下現象は、(Ba, Sr)TiO₃ 膜のバンドの曲がりにより生じる可能性が高く、材料の本質に関わる問題ではないことを明らかにした。

以上結論として、キャパシタ用誘電体膜の材料・プロセス技術の研究開発を通して、主に DRAM を中心にしてシリコン LSI の発展に大いに寄与することができたものと考えられる。

論文審査結果の要旨

超 LSI の超微細化・超高集積化の進展は、二次元平坦構造のデバイスから三次元立体構造のデバイスへの変革を加速した。

著者は、主に DRAM のキャパシタ誘電体膜の観点から研究を行った。まず、トレンチキャパシタの実用化を目指してシリコンコーナ（シリコンの急峻な角構造部）熱酸化と応力に関する研究から、シリコンコーナ部特有の熱酸化工程のメカニズムを明らかにしてその課題を克服し、トレンチキャパシタの高性能化を実現した。さらに、DRAM キャパシタ用高誘電率材料として Ta_2O_5 膜、および $(\text{Ba,Sr})\text{TiO}_3$ 膜について、材料・プロセスに関する研究開発を行い、高誘電率材料に起因する固有の困難な課題を克服し、高性能 Ta_2O_5 膜 MIM (Metal Insulator Metal) キャパシタを実現するとともに、薄膜における $(\text{Ba,Sr})\text{TiO}_3$ 膜の適用性を明らかにした。本論文は、これらの研究成果についてまとめたもので、全文で 5 章よりなる。

第 1 章は、序論である。

第 2 章では、トレンチキャパシタの高品質化を目的にしたシリコンコーナ部の熱酸化技術についての研究結果を論じている。まず、シリコンコーナ部を酸化した際に生じる著しい酸化膜の薄膜化が応力に起因することを明らかにし、有効かつ実地的なコーナ丸めの酸化技術の研究開発を行った。シリコンコーナ部のメカニズム解明のため、 $^{18}\text{O}_2$ 同位体をトレーサに用いた酸化実験を進めた結果、応力により阻害されるのは界面における酸化反応の抑制ではないことを明らかにし、早い段階で拡散律速に基づく酸化に移行するほどコーナの丸めが有利に働くことを導き出した。この結果に基づき、 NF_3 添加酸化をシリコンコーナの酸化に応用し、 800°C という低温でも均一なコーナの酸化が得られることを実証した。これらの成果は、トレンチキャパシタの高品質化にとって、非常に重要であるとともに、微細化世代で必須の素子分離技術である Shallow Trench Isolation の形成においても非常に有用な技術である。

第 3 章では、DRAM キャパシタ用 Ta_2O_5 膜キャパシタ技術についての研究結果を論じている。まず、凹凸形状の多い表面にも均一成膜が可能な CVD Ta_2O_5 膜形成技術を確立した。その技術を用いて、まず下地 poly-Si 電極上の Ta_2O_5 膜キャパシタの研究開発を進めた。 Ta_2O_5 膜はアニール温度 660°C 付近から結晶化がなされ、これとともに誘電率は増加することを示したが、リーク電流が増加してしまう問題を明らかにした。この原因が下地 Poly-Si 電極からの Ta_2O_5 粒界に沿う Si の拡散によることを明らかにし、その解決策として Ru という酸化されても導電性を示す金属を下地電極とするキャパシタ構造 (MIM) を提案し、酸素プラズマアニールによる Ta_2O_5 膜の改質と Ta_2O_5 膜の結晶化による高誘電率化と低リーク電流化を同時に実現し、結果として SiO_2 換算膜厚 0.68 nm の極めて高性能な Ta_2O_5 膜キャパシタの実現を可能にした。これは、 150nm 世代以降の DRAM に必須の高誘電率材料を用いたキャパシタ実現の基礎技術となっている。

第 4 章では、高誘電率材料 $(\text{Ba,Sr})\text{TiO}_3$ の薄膜化に伴って生じる誘電率の低下の問題に対し、Fe のドーピングによって抑制可能であることを示した。さらに、TEM/EDX を用いた電子定在波法により、Fe は Ti サイトに置換していることを明らかにし、薄膜化に伴う誘電率の低下現象は、 $(\text{Ba,Sr})\text{TiO}_3$ 膜中のドナーによって電極界面付近でバンドが曲がるために生じていることを明らかにした。これにより、誘電率の低下現象は物質固有の性質ではなく膜質の改質により抑制できる可能性を示し、DRAM キャパシタ適用の有効性を示し、 Ta_2O_5 に続くさらなる高誘電率薄膜の実用化に道を拓いた。

第 5 章は、結論である。

以上要するに本論文は、DRAM キャパシタの構造と誘電体膜に関する新しいプロセス・材料についての有用な研究結果を導き出すことにより、DRAM の一層の超微細化・超高集積化の道を拓いたもので、半導体電子工学の発展に寄与するところが少なくない。

よって、本論文は博士(工学)の学位論文として合格と認める。